

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001053197
PUBLICATION DATE : 23-02-01

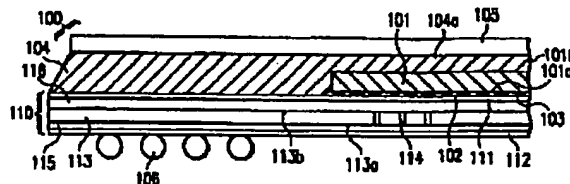
APPLICATION DATE : 04-08-00
APPLICATION NUMBER : 2000237225

APPLICANT : TEXAS INSTR INC <TI>;

INVENTOR : NABINCHANDORA KARIDASU;

INT.CL. : H01L 23/12

TITLE : HIGH PERFORMANCE TWO-LAYER
BALL GRID ARRAY SUBSTRATE



ABSTRACT : PROBLEM TO BE SOLVED: To distribute high mutual inductance to inductive coupling with a signal line or a power line by selecting a material suitable for electromagnetic coupling of the signal line and a metal layer for an insulating layer which is sandwiched by the two patterned metal layers.

SOLUTION: Outermost insulating films 111 and 112 of a substrate protect a substrate metal pattern and function as a solder mask. The substrate 110 has first and second faces 113a and 113b and multiple vias 114. Then, it is formed of the insulating layer of an organic material selected from among polymer BT resin reinforced by polyimide and glass fiber. A metal layer 115 which becomes an electric ground potential is fitted to the first substrate face 113a, and a metal layer 116 is fitted to the second face 113b. Then, plural electric signal lines, a first power line and a second line are obtained. A part of the metal layer 116 is set to the plural first power lines, and further a part of it is set to be the plural first and second power lines. The signal line gives strong electromagnetic coupling and high mutual inductance to the first power line.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53197

(P2001-53197A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B
	3 0 1		3 0 1 L
			E

審査請求 未請求 請求項の数2 OL (全 13 頁)

(21)出願番号 特願2000-237225(P2000-237225)

(22)出願日 平成12年8月4日(2000.8.4)

(31)優先権主張番号 1 4 7 5 9 6

(32)優先日 平成11年8月6日(1999.8.6)

(33)優先権主張国 米国 (US)

(71)出願人 590000879
テキサス インストルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72)発明者 マイケル エイ、ラムソン
アメリカ合衆国 テキサス、ウェストミン
スター、チャーチ ストリート 1207

(72)発明者 ナビンチャンドラ カリダス
アメリカ合衆国 テキサス、ヒュースト
ン、イムバナダ ドライブ 15305

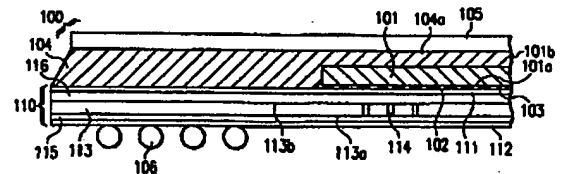
(74)代理人 100066682
弁理士 浅村 皓 (外3名)

(54)【発明の名称】 高性能二層ボールグリッドアレイ基板

(57)【要約】

【課題】 必要な性能を備え、且つ低コストの基板を提供する。

【解決手段】 高入出力ボールグリッドアレイ基板は、集積回路フリップチップ組み立てのために設計されパターン化された2つの金属層と中間絶縁層とを有する。第1の金属層は、電氣的に接地され、外部と電気コンタクトを取るための複数の絶縁開口部を有する。第2の金属層は、複数の信号ライン、複数の第1電力ライン及び複数の第2電力ラインの3部分から構成される。絶縁層は、複数の金属で充たされたビアを有し、2つの金属層に挟まれて配置される。信号ラインは、第1電力ラインに対し、誘導結合を最小とし高い相互インダクタンスと最小有功自己インダクタンスを実現する。また、信号ラインは、信号ライン間のクロストークが最小になるように接地金属に電磁的に結合される。



【特許請求の範囲】

【請求項1】 集積回路フリップチップ組み立て用であり且つ2つのボタン化された金属層を有する高性能高I/Oボールグリッドアレイ基板であって、

第1面、第2面、金属が充填された複数のビアを有する絶縁層を備え、

前記第1面は、電気的接地電位を提供すべく取り付けられた前記金属層の一方と、外部電気的コンタクトのための電気的に絶縁された複数の開口部とを有し、

また、前記基板は、前記接地層の露出面を保護する最外絶縁膜を備え、当該膜は半田ボール取り付け用に適した金属が充填された複数の開口部を有し、

前記第2面は、前記金属層の他方が取り付けられて、その部分は、複数の電気信号ラインと、複数の第1電力ラインと、複数の第2電力ラインの部分として構成され、選択された信号ラインと電力ラインが前記ビアと接触しており、

前記信号ラインは、前記第1電力ラインに対して、それらの間の誘導結合が少なくとも最小値に達するように分配され、高い相互インダクタンスと最小有効自己インダクタンスを提供し、

前記信号ラインは、信号ライン間のクロストークが最小になるように、前記接地金属に電磁的に結合され、

また、前記基板は前記信号ラインと電力ラインの露出面を保護する最外絶縁膜を備え、当該膜は、選択された信号ラインと電力ラインとチップ半田隆起と接触するのに適した金属で充填された複数の開口部を有することを特徴とする高性能高I/Oボールグリッドアレイ基板。

【請求項2】 集積回路フリップチップ組み立て用であり且つ実質的に等しい面積の第1及び第2の金属層と、1つの中間絶縁層とを有する高性能高I/Oボールグリッドアレイ基板を設計するためのコンピュータを導入した方法であって、

前記第1の金属層の構造を、電気的コンタクトのための電気的に絶縁された複数の開口部を有する電気的接地電位として設計するステップと、

前記第2の金属層の構造を、複数の電気信号ラインと、第1の電位で動作可能な複数の第1電力ラインと、第2の電位で動作可能な第2電力ラインとして設計するステップと、

前記第1電力ラインを広く構成することによって、それらの結合されたインダクタンスが基板全体のサイズを有する金属のインダクタンスに近づけるステップと、

前記信号ラインの間に前記第1電力ラインを同時に分布させて、信号ラインと電力ラインとの間に少なくとも最小の誘導結合を提供することによって、高い相互インダクタンスを得て、有効自己インダクタンスを最小にするステップと、

前記第2電力ラインの構成に当たり、事項インダクタンスを最小にするための幅広の形状を有して前記チップを

支持する中央領域にまとまる分布領域として電気第2電力ラインを構成するステップと、

前記絶縁層の構造を設計するに当たり、前記第1及び第2金属層の間に前記絶縁層を配置し、その厚さ及び材料特性を、前記信号ラインと前記第1金属層との間の強い電磁結合に適するように選択することによって、接地に所定のインピーダンスを提供し、信号ライン間のクロストークを最小にするように、前記絶縁層の構造を設計するステップとから成る方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、広く半導体装置及び方法に関し、より具体的には、フリップフロップ用に設計された高性能プラスチックボールグリッドアレイパッケージの構造、材料及び製造に関する。

【0002】

【背景技術】ボールグリッドアレイ(BGA)パッケージは、高入出力(I/O)カウントの集積回路(IC)チップにとって、優れたパッケージング解決法として登場してきた。BGAパッケージは、クワッドフラットバック(QFP)、スモールアウトラインパッケージ(SOP)、あるいはテープキャリアパッケージ(TCP)におけるように、「外界」(典型的には、プラスチックの回路基板、PCB)のどちらかと言えば繊細なパッケージリードへの表面マウント接続のために、頑丈な半田ボールを使用する。BGAの利点としては、組み立てが簡単であること、表面マウントプロセスを使用すること、PCB取り付けにおける損失割合が低いこと、基板面積が効率よく使用できること、環境によく耐えることなどがあげられる。後者は、セラミックスのBGAパッケージだけに当てはまるものであったが、ここ数年、プラスチックのBGAにとっても当てはまるようになった。PCB取り付けにおける高品質及び信頼性の観点からは、BGAパッケージは、半田付けされるリードを備えた従来の装置よりも、遥かに、6シグマ欠陥率(six-sigma failure rate)製造戦略に寄与している。

【0003】BGAパッケージは、一般に、ICチップと、多層基板と、熱拡散器とから成る。チップは、一般に、エポキシのような熱伝導性接着剤を使用して熱拡散器の上に装填される。熱拡散器は、熱エネルギーを逃がすために低い抵抗の熱路を提供し、装置の動作中、常に良好な電気的性能を保つのに必要な改善された熱的性能にとって必須不可欠である。熱拡散器は、一般に、銅から成り、金メッキされることもあり、パッケージの高価な部分である。更に、熱拡散器は、補強体として機能し、構造的及び機械的支持を提供し、BGAパッケージに剛性を与えるので、熱拡散器・補強体と呼ぶことができる。

【0004】基板層の1つは、様々な信号ラインを提供する信号「面」を含み、信号ラインは、一方の端部にお

いて、ワイヤボンドを使用して対応のチップボンドパッドに接続することができる(あるいは、フリップチップ半田接続によってコンタクトパッドに接続することができる)。他端部において、信号ラインは、一般にPCBを介して、他の回路への半田「ボール」と結合される。これらの半田「ボール」はBGAでアレイと呼ばれるものを形成する。また、接地面は、一般に、基板層の1つの上に備えられ、アクチブ接地面として機能し、インダクタンスを低下させ、インピーダンスを制御し、クロストークを減少させることによって、装置全体の性能を改善する。これらの特徴は、BGAピンカウントが高くなるほど重要になってくる。

【0005】BGAパッケージの利点とは対照的に、BGAパッケージにおいて普及している解決法は、電力散逸のような性能特性、及び、信号集積を高速デジタル信号プロセッサ(DSP)や混合信号プロダクト(MSP)のような装置に必要な高速動作に維持する能力において不十分であった。電気的性能を確保するために、多層銅裏打ち樹脂基板を(以前のセラミックに代えて)使用する必要に迫られている。半導体装置におけるクロック周波数及び電流レベルが増加するにつれ、パッケージング設計は、受容できる信号送信及び安定した電力供給及び接地供給を提供するように要求されている。安定した電力を提供することは、ふつう、パッケージ内の多層面を、適切に、相互に及び信号トレースに接続することによって達成される。多くの装置において、独立の電源がコア動作と出力バッファ供給に必要とされるが、設置ソースは共通である。

【0006】高速については、ワイヤボンディングよりもフリップチップ組み立てが導入されてきた。同じパッケージアウトラインにおいて、ワイヤボンディングと比較して、フリップチップ組み立ては、シリコンコア回路に非常に減少されたIR降下を提供し、電力及び接地インダクタンスを非常に減少させ、信号インダクタンスをほどよく改善し、ピークノイズにおいてほどよい差異を提供し、パルス幅劣化をほどよく減少させる。

【0007】これらすべての電気的及び熱的性能要求を満足させるために、8つまでの金属層を有するパッケージが導入されてきた。しかしながら、層の数が多いということは、半導体装置パッケージ全体のコストを下げるという市場での要求と逆行することになる。この市場要求を満たすために、構造や材料を単純化する努力がなされているが、これと同時に、電気的、熱的、機械的性能への影響を最小におさえなければならない。

【0008】BGAパッケージの複雑性及びコストは、接地面、電力面、信号面の所望の信号ラインへ半田ボールのそれぞれを接続するためのパスを提供するために基板層に製造されなければならない相互接続あるいはビアの数によっても影響される。各ビアは、完全な電気的パスを確保するために、ビアの内壁上の導電層を形成する

必要がある。一般に、各ビアの内壁の金属化は、全体の複雑性を助長する。従って、多数のビアおよび多数の基板層を形成することは、BGA製造コストを増大するだけでなく、歩留まりを下げることにもなる。

【0009】パッケージ全体のコストを分析すると、基板のコストが最大(一般に、50%以上)で、次が熱スラグ(一般に、少なくとも30%)である。しかしながら、基板コストを減らすには、層の数を減らさなければならない。そして、層を減らすと、パッケージの電気的及び熱的性能を劣化させることになりかねない。

【0010】従って、この悪循環を断ち切って、低コストで高性能のBGAパッケージ構造を考えなければならない。好ましくは、この構造は、異なった半導体製品種類及び広範囲の設計や組み立ての変種に適用できるフレキシブルな基本設計概念に基づくものでなければならない。高い電気的性能及び熱的性能の要求を満たすだけでなく、高い製造歩留まり及び装置信頼性を達成しなければならない。好ましくは、これらの革新は、新規製造機械を必要とせずに、インストールされた装置ベースを使用して達成されなければならない。

【0011】

【発明の要約】本発明により提供される高性能の高入力力ボールグリッドアレイ基板は、集積回路フリップチップ組み立てのために設計され、2つのパタン化された金属層と中間絶縁層とを有する。

【0012】絶縁層は、複数の金属で満たされたビアを有して、金属層の1つが各表面に取りつけられている。2つの金属層の間にはさまれて、絶縁層は、信号ラインと第1の金属層との間の強い電磁的結合に適した厚さ及び材料特性を有する。このようにして、接地への所定のインピーダンス及び信号ライン間のクロストークが最小になる。

【0013】第1の金属層は、電気的接地電位を提供し、外の電気的コンタクトのための複数の電気的に絶縁された開口部を有する。

【0014】第2の金属層は3つの部分から成る。第1の部分は、複数の信号ラインとして構成され、第2の部分は、第1の電位で動作する複数の第1の電力ラインとして構成され、第3の部分は、第2の電位で動作する複数の第2の電力ラインとして構成される。第1の電力ラインは、広く構成され、それらの結合されたインダクタンスが、基板全体のサイズを有する金属のインダクタンスとほぼ等しくなるように構成される。第2の電力ラインは、自己インダクタンスを最小にし、ICチップを支持する中央領域に融合するように広い形状を有する分配領域として機能するよう構成される。

【0015】本発明によれば、信号ラインは第1の電力ラインに対して、次のように分配されている。即ち、それらの間の誘導結合が少なくとも、高い相互インダクタンスを提供し、ゼロ効果自己インダクタンスに近い最小

値に達するように分配されている。更に、信号ラインは、信号間のクロストークが最小になるように、接地金属に電磁的に結合される。

【0016】本発明の別の面によれば、接地層の露出面を保護する最も外側の絶縁層が提供される。この絶縁膜は、半田ボール取り付けに適した金属で満たされた複数の開口部を有する。

【0017】本発明の別の面によると、信号ライン及び電力ラインの露出面を保護する最も外側の絶縁層が提供される。この絶縁膜は、選択された信号ラインと接地ライン、及びチップ半田隆起とコンタクトするのに適した金属で満たされた複数の開口部を有する。

【0018】本発明の別の面によると、基板構造及び材料を設計するためのモデリングガイドラインが提供される。即ち、異なった半導体高性能装置種類及び広範囲の高速高パワー設計及び組み立て変種に適用できるように柔軟に設計するためのモデリングガイドラインが提供される。

【0019】本発明の別の面によれば、既存の半導体製造プロセスを利用して基板及び装置の目標に達成することができる。即ち、装置変更に経費をかけることなく、新規投資もなしで、インストールされている製造装置を使用することによって目標に達成することができる。

【0020】本発明の別の面によると、BGA基板の厚みを実質的に減らし、BGA装置が、薄い半導体構成要素を要求する様々な新規製品に適用できるようにする。

【0021】本発明の別の面によると、熱スラグを使用せずに必要な熱特性を達成できる程度に、固有の熱散逸が改善される。

【0022】以上の面は、高性能高I/Oボールグリッドアレイ基板を設計するためのコンピュータを導入した方法、及びこの基板を集積回路フリップチップ組み立てを大量生産に適した製造方法で製造するための方法によって達成される。

【0023】本発明による技術的進歩、本発明の以上の面は、以下の本発明の実施の形態を添付図面を参照しながら説明することによって、明らかとなり、特許請求の範囲には、新規特徴も述べられている。

【0024】図1は、本発明の高性能高入出力(I/O)ボールグリッドアレイ(BGA)パッケージの部分の模式的簡略断面図であり、全体を100で示す。フリップチップ技術において半田隆起102を使用して、集積回路チップ101のアクティブ面が、アクティブチップ表面101aに面する基板110の最外絶縁膜111内の開口部に取りつけられる。チップ101は、一般に、シリコンから成り、厚さは、典型的には、200乃至375 μm の範囲である。I/Oの数は、典型的には、100乃至600の範囲であり、これらのI/Oの約半数は、信号ラインとして機能し、他の半数は、電力と接地電位専用である。

【0025】チップI/Oを基板110に接続する半田隆起102は、ふつう、直径は小さく、典型的には、100乃至120 μm で、 $\pm 10\mu\text{m}$ の範囲であり、錫、鉛・錫合金、インジウム、インジウム・錫合金、半田ペースト、及び導電性接着化合物の中から選択された取り付け材料を備える。フリップチップ取り付けに続いて、チップ101と基板110との間のギャップ、及び半田隆起102の間のギャップは、ポリマーエンカプスラント(カプセルで包むための材料)103によって充填される。このエンカプスラントは、典型的には、シリカと無水物で満たされたエポキシをベースとする材料のポリマー前駆体であり、ポリマーエンカプスラントを形成すべく硬化するにはエネルギーを必要とする。

【0026】カプセル化材料104は、フリップチップ取り付けの後、チップ101を囲み、装填されたチップを保護する。それは、一般に、チップへの接着に適したエポキシ系成形化合物、及び高速高周波数パッケージ性能を支持するフッ素系誘電化合物のから成るグループから選択されたポリマー材料である。成形化合物については、大量生産される場合、標準的圧送成形が、カプセル化の好ましい方法である。チップの受動面101b上では、成形された材料104aが、典型的には、300乃至500 μm の範囲の厚さを、基板と500乃至800 μm の熱スラグとの間に有する。

【0027】カプセル化材料104の外面上に配置される熱拡散器105は、オプションである。その厚さは、典型的には、150乃至300 μm の範囲内にある。それは、熱拡散及び熱散逸を高めることによって、装置の熱的性能全体を向上させるが、一般に銅でできているため、実質的にコスト高をもたらす。しかしながら、本発明のBGA基板の顕著な熱的特性によれば、付加的熱拡散器なしでも、所望の熱的装置性能を達成することができる。

【0028】半田ボール106は、基板110の最外絶縁膜112内の複数の開口部に取りつけられている。ここに定義されるように、半田「ボール」という用語は、半田コンタクトとが必ずしも球形であることを意味するものではなく、半球、半ドーム、円錐台、その他の隆起など様々な形状を有することができる。厳密な形状は、蒸着技術(蒸発、メッキ、あるいは既製ユニット)及びリフロー技術(reflow)技術(赤外線熱あるいは放射熱)の関数であり、材料組成の関数である。半田ボールの直径は、ふつう、約0.1乃至0.4mmの範囲内にある。材料の量及びリフロー温度の均一性を制御することによって、一定の幾何的形狀を達成するためのいくつかの方法がある。半田ボールは、錫・鉛、錫・インジウム、錫・銀、錫・ビスマス、半田ペースト、導電性接着化合物から成るグループから選択された取り付け材料から成る。

【0029】基板の2つの最外絶縁膜111及び112

は、基板金属パタンを保護するものとして、また半田マスクとして機能する。これらの膜は、好ましくは、ガラスを充填したエポキシ、ポリイミド、アクリル、その他の感光 (photo-imageable) 材料で、半田マスクに適したものであり、厚さは、50乃至100 μm の範囲内にある。半田隆起及び半田ボール取り付け用の開口部は、金、パラジウム又は白金、その他の濡れ性があり且つ半田付け可能材料のフラッシュ (flash) を含む銅から成る。

【0030】図1に模式的に示されるように、基板110は、第1の面113aと、第2の面113bと、多数のビア114を供えた絶縁層113から成る。好ましい金属は銅であるが、タングステンなどの他の導電性材料も使用可能である。絶縁層113は、好ましくは、厚さが70乃至150 μm の範囲内にあり、ポリイミド、ガラスファイバで補強されたポリマー、FR-4、FR-5、BT樹脂の中から選択された有機材料から成る。

【0031】第1の基板面113aには、電気的接地電位を提供すべく構成された金属層115が取り付けられている。第2の面113bには、金属層116が取り付けられ、これは、複数の電気信号ライン、複数の第1の電力ライン、複数の第2の電力ラインを提供すべく構成されている。基板110の全体の厚さは、好ましくは、150乃至300 μm の範囲内にある。

【0032】2つの金属層115及び116は、厚さが7乃至15 μm の範囲内にあるのが好ましく、例えば、銅、真鍮、アルミニウム、銀、あるいはそれらの合金から成る。金属層115は、ここでは、「第1金属層」と呼ぶことにするが、これは、電気的接地電位を提供すべく設計される。それは、複数の開口部を有して、各開口部は、電気的に絶縁されたリングと、コア部に外との電気的コンタクトと成す金属とを有する。このコア部金属は、半田付け可能で、半田ボール106に接続される。

【0033】金属層116は、ここでは「第2金属層」と呼ぶが、これは、一部が複数の電気信号ラインとして構成され、一部が複数の第1電力ラインとして構成され、更に一部が複数の第2電力ラインとして構成されるように設計されている。これらの部分は、図4乃至図7に詳細に示される。

【0034】図2及び図3は、2つの金属層の関係と位置を示す斜視図である。層210は、第1金属層であり、電気的接地電位を提供する。複数の開口部は211で示される。図3に示されるように、層210を斜め下から見ると、複数の半田ボール311が複数の開口部に取り付けられている。半田ボール311は、BGAと外界とを接続する。

【0035】図2を参照すると、層220が第2金属層で、複数の信号ライン221、第1電力ライン222、及び第2電力ライン223を提供する。第2金属層の中央には、フリップチップ取り付け領域224があり、金

属の大部分は第2電力ラインに属す。より詳しくは、図4乃至図7に示す。

【0036】図4は、第2金属層116の信号ライン部分の4分の1に当たる部分を400として示す。信号ライン部分は全体では、この他に同様の構成の3つの4分の1部分を有する。個々の信号ライン401は、幅が25乃至60 μm の範囲内にある。1つの信号ラインは、幅20乃至50 μm の絶縁材料によって、隣接する信号ラインから絶縁される。図4に示されるように、信号ラインは、取り付けられるべきチップの周辺部近傍の内部終端部402において、好ましくは、互い違いにされた (staggered) 終端部の互い違いにされた列402aと402bにおいて終端する。外側終端部403は、広がって、半田ボール接続の分配されたアレイとなる。

【0037】図5は、第2金属層116の第1電力ラインの4分の1部分を、500として示す。第1電力ラインの全体は、同様の構成を更に3つ有する。個々の電力ライン501は、幅がおおよそ200乃至500 μm である。本発明の重要な側面として、第1電力ラインは、結合されたインダクタンスが基板全体のサイズを持つであろう金属のインダクタンスに近くなるように広く構成されている。図5に示されたように、第1電力ラインは、取り付けられるべきチップの周辺部の近傍の内部終端部502において終端する。外側終端部503は、広がって、半田ボール接続の分配されたアレイになる。例えば、第1電力ラインは、3.0Vの適用電位にあってもよい。

【0038】更に、本発明の重要な側面として、図4の信号ラインは、図5の第1電力ラインに対して20乃至50 μm の近傍に配置されることによって、強力な電磁結合、高い相互インダクタンス、及び最小の有効自己インダクタンスを提供する。

【0039】更に、また、本発明の重要な側面として、信号ラインは、電力ラインと接地ラインに強力な電磁結合を提供すべく配置されるので、信号ライン間の結合あるいはクロストークは最小にすることができる。

【0040】また、本発明の重要な側面として、信号ラインの第1電力ラインに対する分配は、それらの間の誘導結合が少なくとも最小値に到達するようになされ、高い相互インダクタンスと最小の有効自己インダクタンスを提供する。

【0041】図6は、第2金属層の第2電力ラインの部分の4つの4分の1部分すべてを600で示す。これらの第2電力ラインは、自己インダクタンスを最小にするための広い形状を持つ分配領域601を持つように構成され、これらの領域は、例えば、パッケージの4つの隅を利用する。第2電力ラインは、多数のチップ半田隆起を支持する中央領域602にまとめられる。例えば、第2電力ラインは、適用電位1.8Vにある。

【0042】図7において、図4、図5、図6で詳細に

示された第2金属層の3つの部分が結合され、本発明による信号ライン、第1電力ライン、第2電力ラインの複雑な相互に関係した配置を示すべく、1つの4分の1部分を詳細に示す。図7には示されていない第1金属構造の残りの3つの4分の1部分も、信号ラインと第1電力ラインの組み合わせに関して示された1つの4分の1部分と同様である。

【0043】図8は、本発明の教示に従って、ICフリップチップ組み立てのために高性能高I/Oボールグリッドアレイ基板を設計するためのコンピュータを導入した方法800の例を示すフローチャートである。方法800は、ステップ802において、実質的に等しい面積の第1及び第2金属層の入力を集めることによって始まる。第1金属層は電気的接地電位を提供する。

【0044】設計の大部分は、第2金属層の3つの部分に関する。方法は、ステップ804に進み、そこで第2金属層の信号ラインのI/Oカウントが決定される。ステップ806においてI/O入力があり、信号ラインの幅とレイアウトが選択される。この選択に基づいて、信号ラインの結果としてのインピーダンスレベルが、ステップ808において設計される。更に、信号ラインは、第1金属層に適用される接地電位に電磁的に結合され、この結合を使用して、信号ライン間のクロストークが、それを最小にすべく、設計される。

【0045】ステップ810において、第2の金属層の第1電力ライン（第1電位、例えば3.0Vで動作する）が設計に追加される。複数の信号ラインが複数の第1電力ラインとの関係で、信号ラインと電力ラインとの間で少なくとも最小の誘導結合を提供するという目標で、ルート付けされる。この目標は、高い相互インダクタンスを得て、有効自己インダクタンスを最小にするために努力する。この設計ステップの結果が満足いくものでない場合、信号ラインの幅は、ステップ809において変更される。それらは、改善された入力として、ステップ808にフィードバックされ、インピーダンス設計が反復され、次に、ステップ810で、信号ラインと電力ラインのルート付けと分配が反復される。

【0046】信号ラインと第1電力ラインの相対的配置が高い相互インダクタンスと最小の有効自己インダクタンスを達成するものとして完了すると、第1電力ラインの幅がステップ812において最大化される。目標は、第1電力ラインを広くすることによって、それらの組み合わせられたインダクタンスが、基板全体の面積を有する金属のインダクタンスに近づけることである。

【0047】ステップ814及び816において、信号ラインと第1電力ラインとの間の結合が更に設計され、その際、特に、電気的ノイズをシミュレートすることによって設計される。相対的ライン分配が充分なノイズの抑制あるいは鈍感さを示さない場合は、第1電力ラインは、信号ラインに対して、ノイズを減らすべく再度ルー

ト付けサレル（ステップ815）。再ルート付けされたライン分配は、第1電力ラインの幅を最大化するための修正入力としてステップ812にフィードバックされる。

【0048】ステップ818において、第2金属層の複数の第2電力ライン（第2電位、例えば、1.8Vで動作する）が設計に追加される。第2電力ラインは、自己インダクタンスが最小化されるように幅広の形状を有する分配領域として機能すべく設計される。第2電力ラインは、中央領域にまとめられ、そこがICチップを支持するために機能する。第2電力ラインの最大化された幅は、ステップ820、パッケージ全体の設計とシミュレーションの入力として使用される。

【0049】ステップ820のその他の入力は、第1及び第2金属層の間に配置される絶縁層の構造、厚さ、材料特性である。設計の目標は、信号ラインと第1金属層との間に強力な電磁的結合を提供することによって、接地への所定のインピーダンス（例えば、50オーム）を達成し、信号ライン間のクロストークを最小にすることである。

【0050】これらの目標が十分に達成されない場合は、信号ラインと第1及び第2電力ラインのレイアウトがステップ822において変更され、新規レイアウトが、改善された入力として、ステップ820のパッケージ全体の設計にフィードバックされる。電気的デザインの最終出力は、ステップ824で表示され、これで方法800が終了する。

【0051】図9は、本発明の教示に従って、2つのボタン化された金属層と1つの中間絶縁層を有するICフリップチップのための高性能高I/Oボールグリッドアレイ基板を製造するための方法900の例を示すフローチャートである。方法900は、ステップ902で始まり、次にステップ904において、第1面と第2面とを有する絶縁層が装備される。適当な材料としては、ポリイミド、エポキシガラス（FR-4、FR-5、またはBT）その他の柔軟性のある電気的に非伝導材料があげられ、厚さは、ふつう、70乃至150 μ mの範囲内にある。

【0052】ステップ906において、基板の絶縁層は、ボタン化されて、機械的ドリルあるいはレーザビーム技術を使用して複数のビアホールを形成する。ステップ908において、ビアホールは銅などの導電性材料によって充填され、基板の絶縁層を貫通して複数の導電性ビアを作る。

【0053】ステップ910において、2つの金属層の一方（好ましくは、銅で、厚さは、7乃至15 μ m）が絶縁層の第1面に取りつけられる（典型的には、ロールオンプロセスを使用して）。この金属層は、BGAにおける電気的接地電位を提供する。ステップ912において、この金属層が標準的フォトリソグラフィ技術を使用

してボタン化され、半田ボールのような外の電氣的コンタクトのための電氣的に絶縁された複数の開口部を形成する。

【0054】ステップ914において、2つの金属層の他方（好ましくは、銅で、厚さは、7乃至15 μ m）が絶縁層の第2面に取りつけられる（典型的には、ロールオンプロセスを使用して）。この金属層は、3つのボタン化された部分において3つの機能を提供するものである。ステップ916において、この金属層が、標準的フォトリソグラフィ技術を使用してボタン化され、複数の信号ラインと、特定の電位を提供する複数の第1電力ラインと、別の特定の電位を提供する複数の第2電力ラインを形成する。選択された信号ラインと電力ラインは、絶縁層内のビアと電氣的コンタクトにある。

【0055】ステップ918において、接地層の露出面の上と、信号ラインと電力ラインの露出面の上に、絶縁保護膜が形成される。ステップ920において、両方の絶縁膜内に複数の開口部が形成される。これらの開口部は、次に、半田付け可能な金属（例えば、金フラッシュのある銅）によって充填され、基板取り付けで使用される外部半田ボールと、フリップチップ組み立てで使用されるチップ半田隆起のための取り付け場所を形成する。BGA基板の製造は、これにより完成する。

【0056】BGAパッケージの製造を仕上げるために、方法900は、ステップ922において、ICチップを基板に取り付ける。チップは、半田隆起を含むアクチブ面を有する。これらの隆起は、信号ライン及び電力ラインを保護する最外絶縁膜内の複数の金属充填開口部に接着される。半田リフローは、典型的には、錫-鉛共融物の温度と関係する。

【0057】プロセスフローチャートは、ステップ924へ続くか、あるいは、必要なら、ステップ923に続く。ステップ923において、信号ライン及び電力ラインを保護する最外絶縁膜内の複数の開口部にチップ半田隆起が接着された後に、基板とチップとの間に残る空隙としてのギャップがあれば充填される。充填材料として一般に使用されるポリマーカプセル化材料は、エポキシ系前駆体で、硬化に高温を必要とするシリカや無水物が充填されているものである。

【0058】ステップ924において、チップ（より詳しくは、チップの受動面およびその4つの端部）は、ポリマーカプセル化化合物によって周囲を囲まれる。好ましくは、圧送成形プロセスが使用される。

【0059】熱散逸のための短い熱パスにより、本発明のBGAの熱特性は優れている。更に改善が必要な場合は、ステップ925において、熱スラグを取り付けることができる。それは、硬化したカプセル化材料の外面に配置されるのが好ましい。

【0060】ステップ926において、半田ボールが接地層を保護する最外絶縁膜内の複数の金属充填開口部に

取り付けられる。このプロセスは、BGAパッケージに外部電気接続及び器機的接続を提供する。一般に、半田ボールは、BGAパッケージの周辺部に長方形に並べられ、多数のボールをパッケージの中央部に配置することもできる。方法900は、ステップ928で終了する。

【0061】以上、本発明を実施の形態を参照しながら説明してきたが、本発明は、この説明に限定されるべきものではない。実施の形態の様々な変更及び組み合わせ、また、本発明の他の実施の形態も可能であることが、当業者であれば、本明細書を見ることにより明らかとなるであろう。例えば、半導体チップの材料は、シリコン、シリコンゲルマニウム、ガリウム砒素、その他の製造に使用される半導体材料を含むことができる。また、別の例として、BGAは、オーバーモルディングその他の技術によって作られたカプセルを有してもよいし、フリップ半田付けされたチップのカプセルを全く有していなくてもよい。又、別の例として、成形化合物を使用するカプセル化の代わりに、フリップ半田付けされたチップの上に熱伝導性鉛を取りつけて、物理的保護と熱的向上を供してもよい。、更にまた、別の例として、2つの金属層は、順番にではなく、同時に絶縁層に取り付け、それぞれをボタン化してもよい。特許請求の範囲は、そのような変更あるいは実施の形態を含むものとする。

【0062】以上の説明に関して更に以下の項を開示する。

(1) 集積回路フリップチップ組み立て用であり且つ2つのボタン化された金属層を有する高性能高I/Oボールグリッドアレイ基板であって、第1面、第2面、金属が充填された複数のビアを有する絶縁層を備え、前記第1面は、電氣的接地電位を提供すべく取り付けられた前記金属層の一方と、外部電氣的コンタクトのための電氣的に絶縁された複数の開口部とを有し、また、前記基板は、前記接地層の露出面を保護する最外絶縁膜を備え、当該膜は半田ボール取り付け用に適した金属が充填された複数の開口部を有し、前記第2面は、前記金属層の他方が取り付けられて、その部分は、複数の電気信号ラインと、複数の第1電力ラインと、複数の第2電力ラインの部分として構成され、選択された信号ラインと電力ラインが前記ビアと接触しており、前記信号ラインは、前記第1電力ラインに対して、それらの間の誘導結合が少なくとも最小値に達するように分配され、高い相互インダクタンスと最小有効自己インダクタンスを提供し、前記信号ラインは、信号ライン間のクロストークが最小になるように、前記接地金属に電磁的に結合され、また、前記基板は前記信号ラインと電力ラインの露出面を保護する最外絶縁膜を備え、当該膜は、選択された信号ラインと電力ラインとチップ半田隆起と接触するのに適した金属で充填された複数の開口部を有することを特徴とする高性能高I/Oボールグリッドアレイ基板。

(2) 第1項記載の基板であって、前記I/Oの範囲が約100内乃至約600であることを特徴とする基板。

(3) 第1項記載の基板であって、前記基板の厚さが約150乃至300 μm の範囲にあることを特徴とする基板。

(4) 第1項記載の基板であって、前記信号ラインは、幅が約25乃至60 μm であり、隣接する信号ラインからは、幅が約20乃至50 μm の絶縁材料によって分けられていることを特徴とする基板。

(5) 第1項記載の基板であって、前記第1電力ラインは、幅が約200乃至500 μm であることを特徴とする基板。

(6) 第1項記載の基板であって、前記信号ラインは、前記第1電力ラインに対して約20乃至50 μm の近傍に配置され、それにより強い電磁結合、高い相互インダクタンスと最小にされた自己インダクタンスを実現することを特徴とする基板。

(7) 第1項記載の基板であって、前記信号ラインは、電力ラインと接地ラインに強い電磁結合を提供し、それにより前記信号ライン間の結合あるいはクロストークを最小にすべく配置されることを特徴とする基板。

(8) 第1項記載の基板であって、前記パタン化された金属層は、銅、真鍮、アルミニウム、銀、あるいはそれらの合金の中から選択され、厚さが約7乃至15 μm であることを特徴とする基板。

(9) 第1項記載の基板であって、前記絶縁層は、有機材料から成り、ポリイミド、グラスファイバにより補強されたポリマー、FR-4、FR-5、BT樹脂の中から選択され、厚さが約70乃至150 μm であることを特徴とする基板。

(10) 第1項記載の基板であって、前記ビアは、銅、タングステン、又はその他の導電性材料によって充填されることを特徴とする基板。

(11) 第1項記載の基板であって、前記第2電力ラインの構造は、自己インダクタンスを最小にするために幅広の形状を有して、前記チップを支持する中央領域にまとまるように分布されていることを特徴とする基板。

(12) 第1項記載の基板であって、前記最外絶縁膜は、ガラス充填エポキシ、ポリイミド、アクリル、又はその他の半田マスクとして適した感光材料であって、厚さが、約50乃至100 μm であることを特徴とする基板。

(13) 第1項記載の基板であって、半田隆起及び半田ボール取り付けのための前記開口部が、金又はパラジウム又はその他の濡れ性があり半田可能な金属から成ることを特徴とする基板。

【0063】(14) 高性能高I/Oボールグリッドアレイパッケージであって、2つのパタン化された金属層を有する基板を備え、当該基板は、第1面と、第2面と、金属が充填された複数のビアとを有する絶縁層を備

え、前記第1面は、電氣的接地電位を提供すべく取り付けられた前記金属層の一方と、外部電氣的コンタクトのための電氣的に絶縁された複数の開口部とを有し、また、前記基板は、前記接地層の露出面を保護する最外絶縁膜を備え、当該膜は半田ボール取り付け用に適した金属が充填された複数の開口部を有し、前記第2面は、前記金属層の他方が取り付けられて、その部分は、複数の電気信号ラインと、複数の第1電力ラインと、複数の第2電力ラインの部分として構成され、選択された信号ラインと電力ラインが前記ビアと接触しており、前記信号ラインは、前記第1電力ラインに対して、それらの間の誘導結合が少なくとも最小値に達するように分配され、高い相互インダクタンスと最小有効自己インダクタンスを提供し、前記信号ラインは、信号ライン間のクロストークが最小になるように、前記接地金属に電磁的に結合され、また、前記基板は前記信号ラインと電力ラインの露出面を保護する最外絶縁膜を備え、当該膜は、選択された信号ラインと電力ラインとチップ半田隆起と接触するのに適した金属で充填された複数の開口部を有し、また、前記パッケージは、半田隆起を含む能動面を有する集積回路チップを備え、当該半田隆起は、前記信号ラインと電力ラインを保護する前記最外絶縁膜内の前記複数の開口部に接着され、また、前記パッケージは、前記接地層を保護する前記最外絶縁膜内の前記複数の開口部に接着された半田ボールを備えることを特徴とする高性能高I/Oボールグリッドアレイパッケージ。

【0064】(15) 第14項に記載のパッケージであって、前記チップ半田隆起が、前記信号ラインと電力ラインを保護する前記最外絶縁膜内の前記複数の開口部に接着された後で、前記チップと前記基板との間に空隙として残されたギャップを充填するポリマーカプセル化剤を更に備えることを特徴とするパッケージ。

(16) 第15項に記載のパッケージであって、前記ポリマーカプセル化剤は、シリカ及び無水物によって充填されたエポキシ系材料からなるポリマー前駆体であって硬化してポリマーカプセル化剤を形成するのに熱エネルギーを必要とするものであることを特徴とするパッケージ。

(17) 第14項記載のパッケージであって、前記チップを取り囲むカプセル化材料を更に備えることをパッケージ。

(18) 第17項記載のパッケージであって、前記カプセル化材料は、前記チップに接着させるのに適したエポキシ系成形化合物と、高速且つ高周波数パッケージ性能を支持するフッ素誘電化合物とから成るグループから選択されたポリマー材料であることを特徴とするパッケージ。

(19) 第17項記載のパッケージであり、前記カプセル化材料の外面に配置されたオプショナル熱拡散器を更に備えることを特徴とするパッケージ。

(20) 第14項記載のパッケージであり、前記チップ半田隆起は、錫・鉛・錫合金、インジウム、インジウム・錫合金、半田ペースト、及び伝導性接着化合物から成るグループから選択された取り付け材料を備えることを特徴とするパッケージ。

(21) 第14項記載のパッケージであり、前記半田ボールは、錫・鉛・錫・インジウム、錫・銀、錫・ビスマス、半田ペースト、及び伝導性接着化合物から成るグループから選択された取り付け材料を備えることを特徴とするパッケージ。

(22) 第14項記載のパッケージであり、前記パッケージの厚さが、熱スラグの厚さを除いて、250乃至800 μ mの範囲内にあることを特徴とするパッケージ。

【0065】(23) 集積回路フリップチップ組み立て用であり且つ実質的に等しい面積の第1及び第2の金属層と、1つの中間絶縁層とを有する高性能高I/Oボールグリッドアレイ基板を設計するためのコンピュータを導入した方法であって、前記第1の金属層の構造を、電気的コンタクトのための電気的に絶縁された複数の開口部を有する電気的接地電位として設計するステップと、前記第2の金属層の構造を、複数の電気信号ラインと、第1の電位で動作可能な複数の第1電力ラインと、第2の電位で動作可能な第2電力ラインとして設計するステップと、前記第1電力ラインを広く構成することによって、それらの結合されたインダクタンスが基板全体のサイズを有する金属のインダクタンスに近づくステップと、前記信号ラインの間に前記第1電力ラインを同時に分布させて、信号ラインと電力ラインとの間に少なくとも最小の誘導結合を提供することによって、高い相互インダクタンスを得て、有効自己インダクタンスを最小にするステップと、前記第2電力ラインの構成に当たり、事項インダクタンスを最小にするための幅広の形状を有して前記チップを支持する中央領域にまとまる分布領域として電気第2電力ラインを構成するステップと、前記絶縁層の構造を設計するに当たり、前記第1及び第2金属層の間に前記絶縁層を配置し、その厚さ及び材料特性を、前記信号ラインと前記第1金属層との間の強い電磁結合に適するように選択することによって、接地に所定のインピーダンスを提供し、信号ライン間のクロストークを最小にするように、前記絶縁層の構造を設計するステップとから成る方法。

【0066】(24) 2つのボタン化された金属層と集積回路フリップチップ組み立て用の高性能高I/Oボールグリッドアレイ基板を製造するための方法であって、第1面と第2面を有する電気的絶縁層を提供するステップと、前記絶縁層内に複数のビアホールを形成し、前記ホールに、導電性材料を充填するステップと、前記金属層の一方で、電気的接地電位を提供するための金属層を前記第1面に取りつけるステップと、前記金属層に、外部電気的コンタクトのための複数の電気的に絶縁された

開口部を形成するステップと、前記金属層の他方であって、電気信号及び電力電位を提供するための金属層を、前記第2面に取りつけるステップと、前記金属層の部分を、複数の電気信号ラインとして、更なる部分を複数の第1電力ラインとして、また更なる部分を複数の第2電力ラインとして構成することによって、選択された信号ライン及び電力ラインと、前記ビアとの間にコンタクトを形成するステップと、前記接地層の露出面の上に絶縁保護膜を形成し、前記信号及び電力ラインの露出面の上に絶縁膜を形成するステップと、前記両方の絶縁膜内に複数の開口部を形成し、当該開口部に、半田付け可能金属を充填することによって、外部半田ボールのための、及びチップ半田隆起のための、取り付け場所を形成するステップとから成ることを特徴とする方法。

(25) 第24項記載の方法であって、半田隆起を含む能動面を有する集積回路チップを取りつけるのに際して、前記信号及び電力ラインを保護する前記最外絶縁膜内の前記複数の金属充填開口部に、前記半田隆起を接着することによって取り付けするステップを更に含むことを特徴とする方法。

(26) 第25項記載の方法であって、前記信号及び電力ラインを保護する前記最外絶縁膜内の前記複数の開口部に、前記チップ半田隆起が接着された後に、前記基板と前記チップとの間に空隙として残されるすべてのギャップに、ポリマーカプセル化剤を充填するステップを更に含むことを特徴とする方法。

(27) 第24項記載の方法であって、前記チップを、ポリマーカプセル化化合物で取り囲むステップを更に含むことを特徴とする方法。

(28) 第27項記載の方法であって、前記カプセル化材料の外面上に配置された熱拡散器を取りつけるステップを更に含むことを特徴とする方法。

(29) 第24項記載の方法であって、前記接地層を保護する前記最外絶縁膜内の前記複数の金属充填開口部に、半田ボールを取りつけるステップを更に含むことを特徴とする方法。

【0067】(30) 集積回路フリップフロップ組み立て用に設計され、2つのボタン化された金属層を有する高性能高I/Oボールグリッドアレイ基板であって、第1面、第2面、金属が充填された複数のビアを有する絶縁層を備える。前記第1面は、電気的接地電位を提供すべく取り付けられた前記金属層の一方と、外部電気的コンタクトのための電気的に絶縁された複数の開口部とを有する。また、前記基板は、前記接地層の露出面を保護する最外絶縁膜を備え、当該膜は半田ボール取り付け用に適した金属が充填された複数の開口部を有する。前記第2面は、前記金属層の他方が取り付けられて、その部分は、複数の電気信号ラインと、複数の第1電力ラインと、複数の第2電力ラインの部分として構成され、選択された信号ラインと電力ラインが前記ビアと接触してい

る。前記信号ラインは、前記第1電力ラインに対して、それらの間の誘導結合が少なくとも最小値に達するように分配され、高い相互インダクタンスと最小有効自己インダクタンスを提供する。前記信号ラインは、信号ライン間のクロストークが最小になるように、前記接地金属に電磁的に結合される。また、前記基板は前記信号ラインと電力ラインの露出面を保護する最外絶縁膜を備え、当該膜は、選択された信号ラインと電力ラインとチップ半田隆起と接触するのに適した金属で充填された複数の開口部を有する。

【図面の簡単な説明】

【図1】本発明による基板を有するボールグリッドアレイ装置の模式的簡略断面図である。

【図2】第1及び第2の金属層の簡略斜視図である。

【図3】第1の金属層を底面から見た簡略斜視図である。

【図4】第2の金属層の部分の簡略化された上面図であり、信号ラインの構造を示す。

【図5】第2の金属層の部分の簡略上面図であり、第1の電力ラインの構造を示す。

【図6】第2の金属層の部分の簡略上面図であり、第2の電力ラインの構造を示す。

【図7】第2の金属層の簡略上面図であり、第1、及び第2の電力ラインの構造を示す。

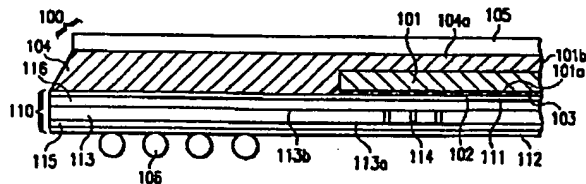
【図8】本発明の教示による、金属及び電力ラインの構造を電気的に設計するためのコンピュータを導入した方法の1例を示すフローチャートである。

【図9】本発明の教示による、ボールグリッドアレイパッケージを9形成するためのコンピュータを導入した方法の1例を示すフローチャートである。

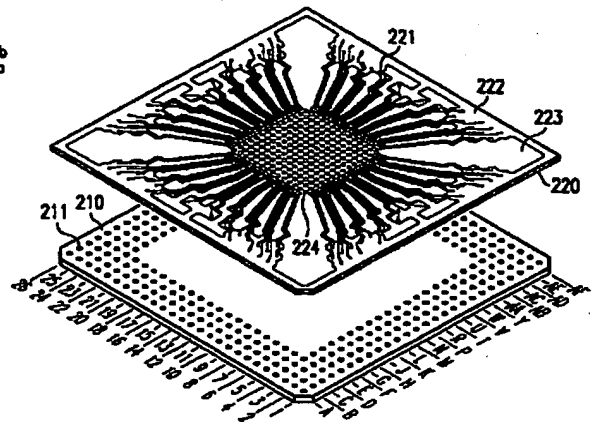
【符号の説明】

- 100 ボールグリッドアレイ (BGA) パッケージの全体
- 101 集積回路チップ
- 102 半田隆起
- 103 ポリマーエンカプスラント
- 104 カプセル化材料
- 105 熱拡散器
- 106 半田ボール
- 110 基板
- 111 最外絶縁膜
- 112 最外絶縁膜
- 113 絶縁層
- 113a 第1の面
- 113b 第2の面
- 114 ビア
- 115 金属層
- 116 金属層
- 220 第2金属層
- 221 信号ライン
- 222 第1電力ライン
- 223 第2電力ライン
- 224 フリップチップ取り付け領域
- 311 半田ボール
- 401 信号ライン
- 402 内部終端部
- 403 外側終端部
- 501 電力ライン
- 502 内部終端部
- 503 外側終端部
- 601 分配領域
- 602 中央領域

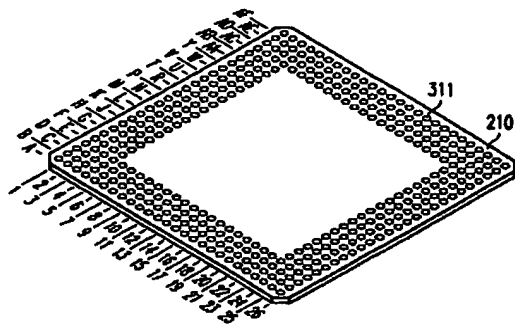
【図1】



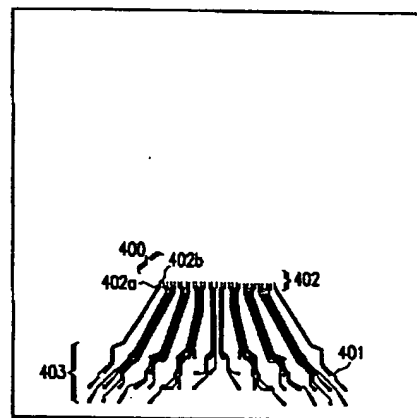
【図2】



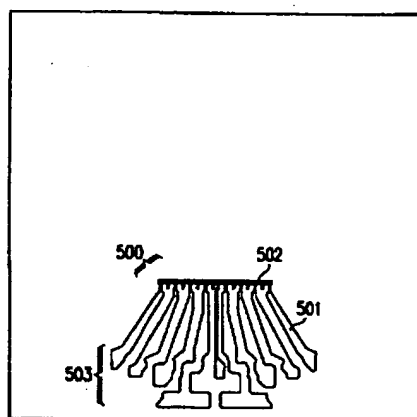
【図3】



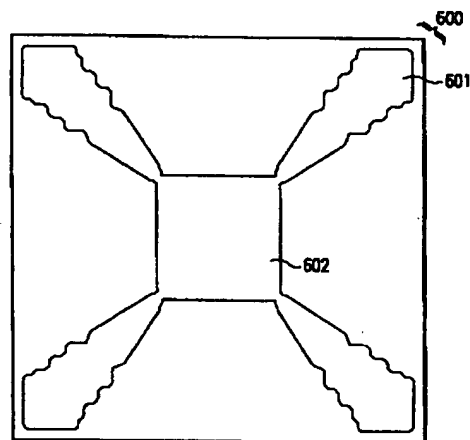
【図4】



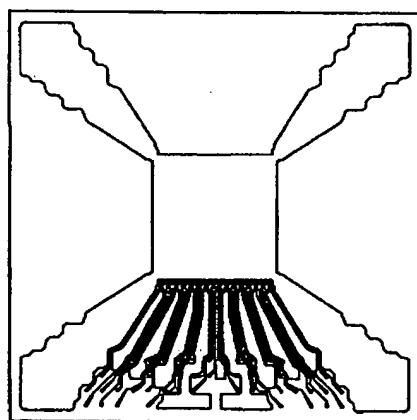
【図5】



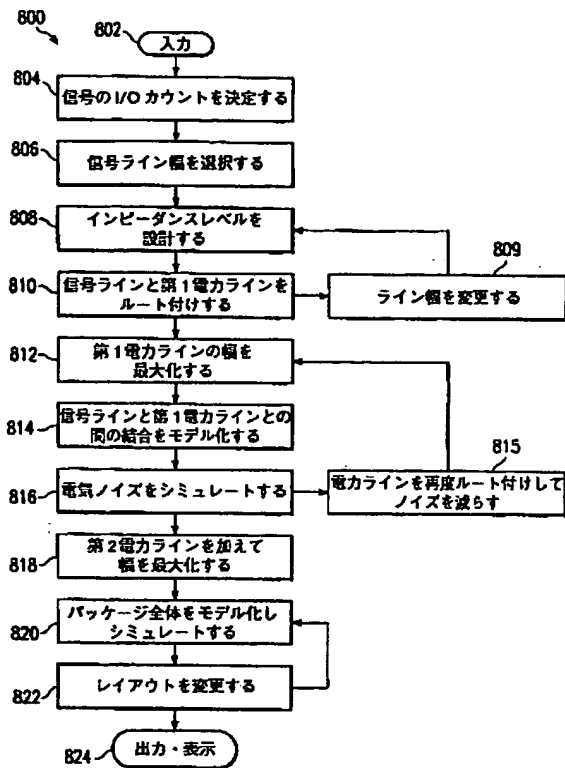
【図6】



【図7】



【図8】



【図9】

